

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200401

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H03L 7/099  
H03H 11/26  
H03K 3/03  
H03K 3/282  
H03K 5/13

(21)Application number : 08-357703

(71)Applicant : SONY CORP

(22)Date of filing : 30.12.1996

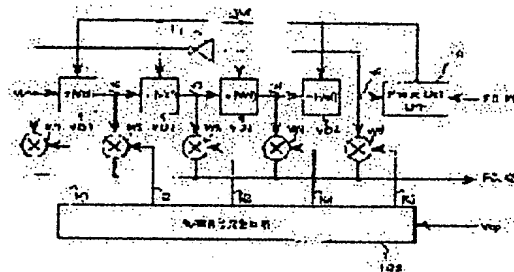
(72)Inventor : KATAKURA MASAYUKI

## (54) PHASE ADJUSTING CIRCUIT AND CONTROL SIGNAL GENERATING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a phase adjusting circuit whose adjusting range and adjusting sensitivity are constant and whose linearity and stability are satisfactory without depending on a clock frequency that controls the device of an object to be adjusted and also a control signal generating circuit which generates a control signal whose linearity and stability are satisfactory.

**SOLUTION:** This device consists of a ring voltage controlled oscillator circuit comprising n-stage variable delay circuits (VD1 to VD4), a control signal generating circuit 102 that weights n+1 pieces of outputs v1 to v5 which are fetched from the voltage control oscillator circuit with phase control signal voltage Vcp and performs phase control and a phase-locked loop(PLL) means which compares the output v5 of the voltage control oscillator circuit with an external pixel clock PCLK1 and locks phase.



## LEGAL STATUS

[Date of request for examination]

20.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200401

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 L 7/099

H 0 3 L 7/08

F

H 0 3 H 11/26

H 0 3 H 11/26

A

H 0 3 K 3/03

H 0 3 K 3/03

A

3/282

3/282

A

5/13

5/13

審査請求 未請求 請求項の数 8 F D (全 12 頁)

(21) 出願番号

特願平8-357703

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日

平成 8 年 (1996) 12 月 30 日

(72) 発明者 片倉 雅幸

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

一株式会社内

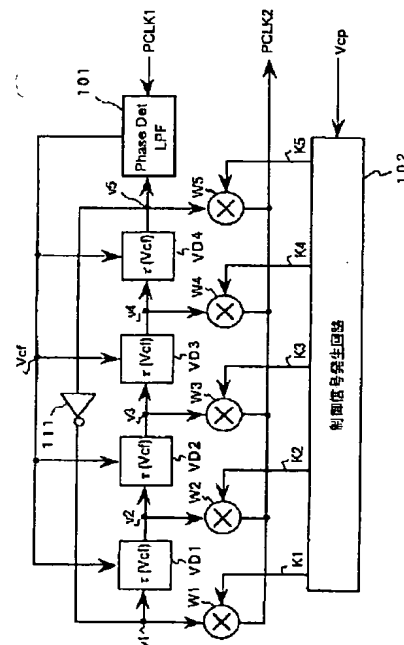
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 位相調整回路及び制御信号発生回路

(57) 【要約】

【課題】 調整対象の装置を制御するクロック周波数によらず、調整範囲及び調整感度が一定で、調整の直線性及び安定度の良好な位相調整回路、並びに、生成する制御信号の直線性及び安定度の良好な制御信号発生回路を提供することを目的とする。

【解決手段】  $n$  段の可変遅延回路 (VD1~VD4) からなるリング型電圧制御発振回路と、電圧制御発振回路より取り出された  $n+1$  個の出力  $v1 \sim v5$  に位相制御信号電圧  $V_{cp}$  による加重をなし、位相制御をするところの制御信号発生回路 102 と、電圧制御発振回路の出力  $v5$  と外部画素クロック PCLK1 とを比較して位相をロックを行う位相同期ループ (PLL) 手段とを有して構成する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 直列接続される $n$ 段( $n$ は正整数)の可変遅延回路を備え、最終段の可変遅延回路の出力を初段の可変遅延回路の入力に負帰還する電圧制御発振回路と、

前記電圧制御発振回路の出力と外部より供給されるクロックとの位相を比較し、遅延制御信号を出力して前記電圧制御発振回路の各段の可変遅延回路における遅延時間を制御し、位相をロックさせる位相同期ループ手段と、外部より供給される位相制御信号に基づいて $k$ 個( $k$ は少なくとも3以上の整数)の加重係数信号を出力するものであって、前記加重係数信号は、前記位相制御信号に対して概略等間隔で最大係数を与えられ、該加重係数の総和は概略一定であるよう途中区間を補間する制御信号発生回路と、

前記電圧制御発振回路における各段の可変遅延回路から取り出された $k$ 個の概略等位相の信号と、前記制御信号発生回路が出力する $k$ 個の加重係数信号とをそれぞれ加重して当該位相調整回路の出力信号として出力する加重手段と、

を有する位相調整回路。

【請求項2】 前記制御信号発生回路は、

第1及び第2のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対と、前記エミッタ共通差動トランジスタ対の共通エミッタに接続される電流源と、の組を $k-1$ 組有し、

第1番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタから第1番目の加重係数信号出力が取り出され、第 $k-1$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $k$ 番目の加重係数信号出力が取り出され、第 $i$ 番目( $i$ は1以上で、 $k-2$ 以下)のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタが第 $i+1$ 番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタと接続され、該第 $i$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $i+1$ 番目の加重係数信号出力が取り出され、

前記 $k-1$ 個のエミッタ共通差動トランジスタ対の第1及び第2のトランジスタの一方のトランジスタのベースに前記位相制御信号が供給され、他方のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給される請求項1記載の位相調整回路。

【請求項3】 前記可変遅延回路は、

トランジスタと、前記トランジスタのエミッタに接続され、前記位相同期ループ手段からの遅延制御信号により制御される電流源と、を備えたエミッタフォロワ回路を2個と、第2及び第3のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対を備えたCMLバッファ回路と、

前記2個のエミッタフォロワ回路のそれぞれのトランジ

スタのエミッタ間に接続される容量素子と、を有する請求項1記載の位相調整回路。

【請求項4】 前記加重係数信号数または前記電圧制御発振回路から取り出される概略等位相差信号数である $k$ は、 $n+1$ と等しく、第1番目から第 $n$ 番目までの概略等位相差信号の位相は $180^\circ$ を $n$ 等分するように配置され、第 $n+1$ 番目の概略等位相差信号は第1番目の概略等位相差信号と逆相である請求項1記載の位相調整回路。

【請求項5】 前記加重係数信号数または前記電圧制御発振回路から取り出される概略等位相差信号数である $k$ は、 $2 \cdot n + 1$ と等しく、第1番目から第 $2 \cdot n$ 番目までの概略等位相差信号の位相は $360^\circ$ を $n$ 等分するように配置され、第 $2 \cdot n + 1$ 番目の概略等位相差信号は第1番目の概略等位相差信号と同相である請求項1記載の位相調整回路。

【請求項6】 第1及び第2のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対と、前記エミッタ共通差動トランジスタ対の共通エミッタに接続される電流源と、の組を $k-1$ 組( $k$ は正整数)有し、第1番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタから第1番目の加重係数信号出力が取り出され、第 $k-1$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $k$ 番目の加重係数信号出力が取り出され、第 $i$ 番目( $i$ は1以上で、 $k-2$ 以下)のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタが第 $i+1$ 番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタと接続され、該第 $i$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $i+1$ 番目の加重係数信号出力が取り出され、

前記 $k-1$ 個のエミッタ共通差動トランジスタ対の第1及び第2のトランジスタの一方のトランジスタのベースに位相制御信号が供給され、他方のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給される制御信号発生回路。

【請求項7】 第2番目から第 $k-1$ 番目の加重係数信号出力にそれぞれ接続される $k-2$ 個の電流源を有し、前記 $k-1$ 個のエミッタ共通差動トランジスタ対それぞれについて、前記第1のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給され、前記第2のトランジスタのベースに前記位相制御信号が供給される請求項6記載の制御信号発生回路。

【請求項8】  $k$ 個全ての加重係数信号出力にそれぞれ接続される $k$ 個の電流源を有し、前記 $k-1$ 個のエミッタ共通差動トランジスタ対それぞれについて、前記第1のトランジスタのベースに前記位相制御信号が供給され、前記第2のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給される請求項6記載の制御信号発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は位相調整回路に係り、特に、調整対象の装置を制御するクロック周波数によらず、調整範囲及び調整感度が一定で、調整の直線性及び安定度の良好な位相調整回路に関する。

【0002】また、本発明は、位相調整等において選択的に使用されアナログ補間された複数個の制御信号を生成する制御信号発生回路に係り、特に、生成する制御信号の直線性及び安定度の良好な制御信号発生回路に関する。

## 【0003】

【従来の技術】近年、パーソナルコンピュータやワークステーション等の電子機器において、表示手段としてのディスプレイをCRT (Cathode Ray Tube : ブラウン管) からLCD (Liquid Crystal Device : 液晶表示装置) に代表される平面パネルディスプレイに置き換えようとする流れがある。また、従来のOHP (Over Head Projector) によるプレゼンテーションに代えて、パーソナルコンピュータのディスプレイとして直接接続可能な投写型プロジェクタも一般的になりつつある。このようなプロジェクタにおいてもLCDを用いたものが多い。

【0004】これらのディスプレイは、CRTディスプレイと同一のインタフェース及び接続方法を用いるため、現在の使用形態では、アナログRGBによる信号の伝送がなされている。将来的には、デジタル伝送ということも当然考えられるが、CRTディスプレイが主流である間は、アナログRGBによる伝送を前提とせざるを得ない。

【0005】一方、LCDに代表される平面パネルディスプレイは、CRTディスプレイとは異なり、画素が独立したユニットから構成され、離散的な構造を持つため、アナログで伝送された信号を再びサンプリングして、離散的な信号に変換してやる必要がある。元々パーソナルコンピュータからの信号は離散的な信号であり、これを連続信号に変換し、またサンプリングするということは非常に無駄なことであるが、CRTディスプレイのインタフェースを借用する前提がある限り避けられない。

【0006】図14には、パーソナルコンピュータ500からの表示出力データをLCDディスプレイ600に出力する場合のシステム(第1従来例)の構成図を示す。パーソナルコンピュータ500内のビデオRAM (Video RAM) 501に保持されている表示出力デジタルデータを、DAC (Digital to Analog Converter : D/A変換器) 502によりアナログRGB信号に変換して、アナログRGBケーブル510を介してLCDディスプレイ600に伝送する。

【0007】LCDディスプレイ600では、受信した

アナログRGB信号を、第1信号処理部601により、LCD素子の非線形特性を補正する $\gamma$ 補正処理や、輝度及びコントラスト等の処理を行い、サンプルホールド回路(S/H) 602によりサンプリングした後、第2信号処理部603により並列信号に変換してLCDパネル604を駆動している。

【0008】ここで、1画素に対応する時間は画素クロックと呼ばれ、20~100 [MHz] 程度である。また、LCDパネル604を構成する素子にも幾つかの構造がある。例えば、STN (Super Twisted Nematic) 型、或いは、個々の液晶素子に薄膜トランジスタを設けたTFT (Thin Film Transistor) 型があり、更に、TFT型の中にもアモルファスシリコンを用いたものと多結晶シリコンを用いたもの等がある。

【0009】多結晶シリコンを用いたTFT型においては比較的高速動作が可能なので、例えば、ビデオカムコーダに付属するビューファインダ、或いは、小型の液晶モニタのようなせいぜい20万 [画素] 程度のLCDパネルの場合には、画素クロックに基づきそのまま信号を読み込むことが可能である。しかしながら、パーソナルコンピュータ500のモニタとなると、最低でも30万 [画素] もあり、フレーム周波数もテレビ信号よりもかなり高い。従って、何れの構造を採るにせよ、このような高速のクロックに基づいてそのまま信号を入力し、LCDパネル604に表示することはできない。例えば、アモルファスシリコンを用いたTFT型では、1水平走査線分の信号を一旦パラレル信号に変換し、1行毎に信号を書き込むようにしている。

【0010】また、比較的高速動作が可能な多結晶シリコンを用いたTFT型では、画素クロック周波数で送られてきた信号を、例えば2~12個の並列信号に変換し、読み込みに使用するクロック周波数を落として液晶パネル604に入力している。尚、これらの処理は、サンプルホールド回路602及び第2信号処理部603で行われている。

【0011】また図15には、パーソナルコンピュータ500からの表示出力データをLCDディスプレイ700に出力する場合の別構成によるシステム(第2従来例)の構成図を示す。本従来例は、パーソナルコンピュータ500からアナログRGBケーブル510を介して伝送されたアナログRGB信号を、ADC (Analog to Digital Converter : A/D変換器) 701により再度デジタル信号に変換し、第1信号処理部702による $\gamma$ 補正等の処理を施した後、複数個のDAC 703-1~703-nによりクロック周波数を落とした並列信号を得て、LCDパネル704を駆動するものである。

【0012】次に、第1従来例のサンプルホールド(S/H) 回路602におけるサンプリング動作/ホールディング動作のタイミングの重要性について説明する。図16に、第1従来例のシステムにおける各信号のタイミ

ングチャートを示す。

【0013】パーソナルコンピュータ500のDAC502の出力は、図16(a)及び(b)に示すように、画素クロックの立ち上がりで出力が変化するものとする。ここで、DAC502の出力は図16(b)の点線で示すように、段階状の波形出力となるのが理想的であるが、DAC502の性能並びに入出力回路やインタフェースケーブル等の影響により、例えば図16(b)の実線で示すような、なまった波形となる。同図におけるなまりは、1次の時定数による単純なものであるが、実際にはオーバーシュートを伴った波形となる等、もっと複雑な波形となる。また、このなまり等による波形歪みは、画素クロックの高い、より高精細度のモニタほど相対的に厳しいものとなる。

【0014】さて、このDAC502の出力を、サンプルホールド回路601(第2従来例ではADC701)により再標準化するわけであるが、例えば、図16(c)に第1S/Hパルス(第1サンプルホールドパルス)として示すタイミングにより、DAC502の出力データの後縁部をうまく標準化できれば、その出力は元の信号に比較的忠実なものとなる。ところが、図16(d)の第2S/Hパルス(第2サンプルホールドパルス)に示すようなタイミングで、DAC502の出力データの前縁部を標準化したりすると、その出力は元の波形と著しく異なったものとなる。

【0015】このような現象は、コンピュータ画像出力に特有のものである。即ち、白地に黒1画素の点や細線、或いはそれを反転したような画像が、テキスト画像やグラフィック画面において極めてありふれたものであるからである。尚、カメラから取り込んだ画像では、このような現象は起こらない。

【0016】ところで、図16に示したようなタイミングをうまく管理することは、実際問題としてできない。というのは、パーソナルコンピュータ500側からは画素クロックが供給されないため、LCDディスプレイ600において、通常、水平同期信号を基に画素クロックを再生する。一方、パーソナルコンピュータ500側は、DAC502の画素クロックと水平同期信号の位相を管理していないので、パーソナルコンピュータ500側とLCDディスプレイ600側の画素クロックは、互いに独立して生成されたものとなる。たとえ管理しようとしても、例えば画素クロックが100[MHz]に近いような場合に、要求される精度を時間で表せば1~2[ns]程度のものとなる。従って、その管理は非常に難しいものとなるし、仮にそれが可能になったとしても、今度はLCDディスプレイ600側で、数10[kHz]程度の水平同期信号から、1~2[ns]の精度で画素クロックを再生することについてかなりの困難を伴う。

【0017】結局現在のところ、LCDディスプレイ6

00側にマニュアルの位相調整を設けて、画質を見ながら位相を適当に調整している。位相を可変する手段としては、従来は、極性反転回路及び可変遅延回路により構成される手段が用いられた。非常に簡便な装置では、極性反転のみで行うというものもあるが、画質的に満足できるものではない。

【0018】図17に、バイポーラトランジスタ回路による代表的な可変遅延回路の一例を示す。基本的には、差動型のCML(Current Mode Logic)論理回路によるバッファの構成である。エミッタフォロワQ1及びQ2のエミッタ間に容量素子Cを挿入して、電流Icを制御電圧Vcにより制御することにより遅延時間を制御するものである。この回路により得られる遅延の最大値は、位相に換算して理論限界が180[°]である。従って、調整範囲を180[°]確保するには最低でも2段直列接続した構成が必要である。画素クロックが変わること、並びに制御電流Icの変化幅をあまり広くとれないこと等の理由から、調整範囲は以外と狭い。従って、実際には、少なくとも4段~8段直列接続した構成が必要となる。

【0019】

【発明が解決しようとする課題】しかしながら、このような従来の可変遅延回路による位相調整には、何つかの課題がある。第1に、マルチスキュンディスプレイのように何種類かの表示モードに対応するには、画素クロックが広範囲で変化する必要があるが、変化幅が広がると必要段数がより多くなる。

【0020】第2に、制御特性の線形性が非常に悪い。例えば図17の可変遅延回路では、基本的には遅延時間が制御電流Icに反比例する回路であることが、線形性を悪くする理由の1つであり、また、トランジスタの周波数特性、特にNPNトランジスタQ3及びQ4の差動バッファの遅延時間があるため、制御電流Icを増やしても遅延時間はそれに反比例して小さくはならない。尚、この現象は、特に画素クロックが高くなると著しくなる。

【0021】第3に、位相調整回路の目的は高精度な位相調整にあるが、その構成要素である可変遅延回路は遅延時間を設定するものである。このことは、画素クロックが変わると位相やその調整範囲が大きく変化することを意味する。即ち、調整感度が大きく変化するということは、例えば、位相調整データをデジタルデータとして与えようとした場合に、分解能を本来の調整精度からいって不必要までに上げておかなければならないという事情がある。

【0022】更に第4には、従来の位相調整回路では、電源電圧依存性や温度依存性という観点でも、安定な特性を得ることが難しいという事情がある。

【0023】本発明は、上記従来の事情に鑑みてなされたものであって、調整対象の装置を制御するクロック周

波数(画素クロック周波数)によらず調整範囲、調整感度が一定で、調整の直線性、安定度の良好な位相調整回路を提供することを目的としている。

【0024】また本発明の他の目的は、位相調整等において選択的に使用されアナログ補間された複数個の制御信号を生成する制御信号発生回路において、生成する制御信号の直線性及び安定度の良好な制御信号発生回路を提供することである。

【0025】

【課題を解決するための手段】上記課題を解決するために、本発明の位相調整回路は、直列接続される $n$ 段( $n$ は正整数)の可変遅延回路を備え、最終段の可変遅延回路の出力を初段の可変遅延回路の入力に負帰還する電圧制御発振回路と、前記電圧制御発振回路の出力と外部より供給されるクロックとの位相を比較し、遅延制御信号を出力して前記電圧制御発振回路の各段の可変遅延回路における遅延時間を制御し、位相をロックさせる位同期ループ手段と、外部より供給される位相制御信号に基づいて $k$ 個( $k$ は少なくとも3以上の整数)の加重係数信号を出力するものであって、前記加重係数信号は、前記位相制御信号に対して概略等間隔で最大係数を与えられ、該加重係数の総和は概略一定であるよう途中区間を補間する制御信号発生回路と、前記電圧制御発振回路における各段の可変遅延回路から取り出された $k$ 個の概略等位相の信号と、前記制御信号発生回路が出力する $k$ 個の加重係数信号とをそれぞれ加重して当該位相調整回路の出力信号として出力する加重手段とを具備するものである。

【0026】また、本発明の位相調整回路は、前記制御信号発生回路を、第1及び第2のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対と、前記エミッタ共通差動トランジスタ対の共通エミッタに接続される電流源と、の組を $k-1$ 組具備して構成し、第1番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタから第1番目の加重係数信号出力が取り出され、第 $k-1$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $k$ 番目の加重係数信号出力が取り出され、第 $i$ 番目( $i$ は1以上で、 $k-2$ 以下)のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタが第 $i+1$ 番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタと接続され、該第 $i$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $i+1$ 番目の加重係数信号出力が取り出され、前記 $k-1$ 個のエミッタ共通差動トランジスタ対の第1及び第2のトランジスタの一方のトランジスタのベースに前記位相制御信号が供給され、他方のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給されるものである。

【0027】また、本発明の位相調整回路は、前記可変

遅延回路を、トランジスタと、前記トランジスタのエミッタに接続され、前記位同期ループ手段からの遅延制御信号により制御される電流源と、を備えたエミッタフォロワ回路を2個と、第2及び第3のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対を備えたCMLバッファ回路と、前記2個のエミッタフォロワ回路のそれぞれのトランジスタのエミッタ間に接続される容量素子と、を具備して構成したものである。

【0028】また、本発明の位相調整回路は、前記加重係数信号または前記電圧制御発振回路から取り出される概略等位相の信号数である $k$ は、 $n+1$ と等しく、第1番目から第 $n$ 番目までの概略等位相の信号の位相を $180^\circ$ を $n$ 等分するように配置し、第 $n+1$ 番目の概略等位相の信号を第1番目の概略等位相の信号と逆相としたものである。

【0029】更に、本発明の位相調整回路は、前記加重係数信号または前記電圧制御発振回路から取り出される概略等位相の信号数である $k$ は、 $2 \cdot n + 1$ と等しく、第1番目から第 $2 \cdot n$ 番目までの概略等位相の信号の位相を $360^\circ$ を $n$ 等分するように配置し、第 $2 \cdot n + 1$ 番目の概略等位相の信号を第1番目の概略等位相の信号と同相としたものである。

【0030】また、本発明の制御信号発生回路は、第1及び第2のトランジスタのエミッタを接続したエミッタ共通差動トランジスタ対と、前記エミッタ共通差動トランジスタ対の共通エミッタに接続される電流源と、の組を $k-1$ 組( $k$ は正整数)具備し、第1番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタから第1番目の加重係数信号出力が取り出され、第 $k-1$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $k$ 番目の加重係数信号出力が取り出され、第 $i$ 番目( $i$ は1以上で、 $k-2$ 以下)のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタが第 $i+1$ 番目のエミッタ共通差動トランジスタ対の第1のトランジスタのコレクタと接続され、該第 $i$ 番目のエミッタ共通差動トランジスタ対の第2のトランジスタのコレクタから第 $i+1$ 番目の加重係数信号出力が取り出され、前記 $k-1$ 個のエミッタ共通差動トランジスタ対の第1及び第2のトランジスタの一方のトランジスタのベースに位相制御信号が供給され、他方のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給されるものである。

【0031】また、本発明の制御信号発生回路は、第2番目から第 $k-1$ 番目の加重係数信号出力にそれぞれ接続される $k-2$ 個の電流源を具備し、前記 $k-1$ 個のエミッタ共通差動トランジスタ対それぞれについて、前記第1のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給され、前記第2のトランジスタのベースに前記位相制御信号が供給されるものである。

【0032】更に、本発明の制御信号発生回路は、 $k$ 個全ての加重係数信号出力にそれぞれ接続される $k$ 個の電流源を具備し、前記 $k-1$ 個のエミッタ共通差動トランジスタ対それぞれについて、前記第1のトランジスタのベースに前記位相制御信号が供給され、前記第2のトランジスタのベースに第1及び第2の基準電位を $k-1$ 個に概略等分割した電圧が供給されるものである。

【0033】例えばLCD表示装置の駆動回路において、パーソナルコンピュータからの画像信号のような離散的な信号を入力とする場合、該信号の何処をサンプリングするかが非常に重要で、そのためには、入力信号とサンプルパルスの位相を調整することが不可欠である。本発明の制御信号発生回路並びにそれを用いた位相調整回路では、リング型の電圧制御発振回路により複数の概略等位相差の信号を生成し、該概略等位相差信号に対して、外部位相制御信号により制御される加重係数信号を重み付けし、重み付けされた結果によって位相調整することとしたので、画素クロック周波数によらず、調整感度及び調整範囲を一定に保つことができ、調整の直線性及び安定度を良好にすることが可能となる。

【0034】即ち、本発明の位相調整回路では、画素クロックに何ら関わりなく常に $0\sim 360[^\circ]$ の調整範囲を得ることができ、画素クロックが広範囲で変化しても、従来技術のように可変遅延回路の必要段数が増加することもないので、特に、マルチスキャンディスプレイのように何種類かの表示モードに対応する場合等に最適である。

【0035】また、本発明の制御信号発生回路並びにそれを用いた位相調整回路では、制御特性の直線性が良い。これは、位相制御信号に対して、概略等間隔で最大係数を与えられ、その総和が概略一定であるよう途中区間を補間して加重係数信号を生成しながらも、基本的には該加重係数信号を切り替えているためである。

【0036】また、本発明の位相調整回路では、遅延時間ではなく位相を制御するので、画素クロック周波数が変化しても、制御感度は変化しない、従って、直線性が良好なものと相まって、調整データをデジタルデータとして渡す場合に、分解能は最小で済むこととなる。

【0037】更に、本発明の位相調整回路では、温度や電源電圧変動に対して安定である。これは、可変遅延回路の遅延時間が画素クロックの位相（外部クロック）に対応するように、位相同期ループ（PLL）手段によって自動調整されるからである。

【0038】

【発明の実施の形態】以下、本発明の位相調整回路及び制御信号発生回路の実施形態について、〔発明の概要〕、〔位相調整回路の実施形態1〕、〔位相調整回路の実施形態2〕、〔制御信号発生回路の実施形態〕の順に図面を参照して詳細に説明する。

【0039】〔発明の概要〕図1に本発明に係る位相調

整回路の概略的な構成図を示す。本発明の位相調整回路は3つの主要な要素から構成されている。即ち、 $n$ 段

（図1では、 $n=4$ ）の可変遅延回路からなるリング型の電圧制御発振回路と、リング型の電圧制御発振回路より取り出された $n+1$ 個の出力（ $v_1\sim v_5$ ）に位相制御信号電圧 $V_{cp}$ による加重をなし、位相制御をするところの制御信号発生回路102と、リング型の電圧制御発振回路の出力（ $v_5$ ）と外部画素クロック $CLK_1$ とを比較して位相をロックを行う位相同期ループ（PLL）手段とを備えた構成である。

【0040】先ず、電圧制御発振回路は、可変遅延回路 $VD_1\sim VD_4$ を $n$ 段直列に接続し、最終段の可変遅延回路 $VD_4$ の出力 $v_5$ をインバータ111により位相反転して初段の可変遅延回路 $VD_1$ の入力 $v_1$ として負帰還することにより構成することができる。可変遅延回路 $VD_1\sim VD_4$ としては、図17に示したようなCML論理回路のバッファを用いた構成が、高速動作に適し、回路構成がシンプルである等の理由により、最も適した実現手段の1つである。

【0041】また、段数 $n$ は、可変遅延回路として図17に示すようなCML論理回路のバッファを用いた場合、少なくとも3段或いは4段を選ぶのが適当である。2段では時定数が2個しかないため、安全な発振ができないからである。尚、図1の構成例では4段に設定されている。

【0042】また、位相同期ループ手段（図中、Phase Det LPF）101は、電圧制御発振回路の出力 $v_5$ と外部より供給される外部画素クロック $CLK_1$ との位相を比較する位相比較器と、該比較結果に基づく遅延制御信号 $V_{cf}$ を出力するローパスフィルタとを少なくとも具備して、電圧制御発振回路の各段の可変遅延回路 $VD_1\sim VD_4$ における遅延時間を制御し、位相をロックさせる。

【0043】図1の構成の位相調整回路が外部の画素クロック $CLK_1$ に位相同期したとき、可変遅延回路の各段における出力の位相を考えてみる。先ず、第1段目の入力 $v_1$ と第4段目の出力 $v_5$ は逆相でなければならない。また第1段目の出力 $v_1$ から第4段目の出力 $v_4$ までの間は、それぞれ（ $V_{cf}$ ）に対応する一定の位相推移がなければならないので、図2に示すような位相配置となる。即ち、 $0\sim 180[^\circ]$ の位相面を $n$ 分割したような位相配置である。

【0044】任意の $n$ 段の可変遅延回路に対しては、 $0\sim 180[^\circ]$ の位相面を $n$ 分割したようになる。 $n$ 段の可変遅延回路に対し加重のための出力点は（ $n+1$ ）個、即ち、図1の構成例の場合には、出力 $v_1\sim v_5$ が得られなければならない、且つ、出力 $v_1$ と出力 $v_{(n+1)}$ が逆相になることが必要である。さもないと、 $0\sim 180[^\circ]$ の調整範囲が確保できない。

【0045】次に制御信号発生回路102について説明

する。制御信号発生回路102は、位相制御電圧 $V_{cp}$ に対して、図3に示すような重みを持つ加重係数を発生させ、加重回路W1~W5に供給すべき $k$ 個（図1では、 $k=n+1=5$ ）の加重係数信号 $K1\sim K5$ を設定する。即ち、位相制御電圧 $V_{cp}$ に対して、加重係数信号 $K1$ から加重係数信号 $K5$ まで概略等間隔で最大係数を与えられ該加重係数の総和が概略一定となるよう、途中区間をアナログ的に補間しながら切り替えていく。

【0046】その結果、図1の構成において、加重回路W1~W5により、電圧制御発振回路における各段の可変遅延回路VD1~VD4から取り出された $k$ 個の概略等位相差の信号 $v1\sim v5$ と、制御信号発生回路102が出力する $k$ 個の加重係数信号 $K1\sim K5$ とをそれぞれ加重して当該位相調整回路の出力信号として出力される内部クロックPCLK2は、 $0\sim 180[^\circ]$ で位相を任意に変えることができる。実際には、 $0\sim 360[^\circ]$ の調整範囲が必要であるが、図1において、反転回路を例えば外部画素クロックPCLK1の入力端子位置或いは内部クロックPCLK2の出力端子位置等に挿入して、その切り替えを併用すればよい。

【0047】〔位相調整回路の実施形態1〕次に、本発明の位相調整回路のより具体的な実施形態1に係る構成例について説明する。その基本的な構成は、図1に示されるものであり、各主要な構成要素として、可変遅延回路及び加重回路の回路構成を図4に、制御信号発生回路102の回路構成を図6にそれぞれ示す。

【0048】図4は、リング型の電圧制御発振回路を構成する可変遅延回路及び加重回路の回路構成図である。図4において、可変遅延回路は2段の可変遅延回路からなり、3つの出力を備えている。第1段目の可変遅延回路は、NPNトランジスタ（エミッタフォロワ）Q1及びQ2並びに容量素子C1を備えて構成されている。その出力には、加重機能を備えた出力取り出し回路（加重回路）となるエミッタ共通差動NPNトランジスタ対Q3及びQ4と、次段の可変遅延回路を駆動するCMLゲート回路Q5及びQ6が接続されている。出力取り出し回路（加重回路）となるエミッタ共通差動NPNトランジスタ対Q3及びQ4は、制御信号発生回路102から供給される加重電流 $I_{w1}$ により加重され、出力 $I_{o1}$ 及び $I_{o1X}$ として取り出される。

【0049】第2段目の可変遅延回路も基本的には第1段目の可変遅延回路と同一構成であるが、相違点は、2組の出力取り出し回路（加重回路）を具備する点である。即ち、2組のエミッタ共通差動NPNトランジスタ対Q9及びQ10とQ11及びQ12において、それぞれ加重電流 $I_{w2}$ と $I_{w3}$ により加重された2組の出力 $I_{o2}$ 及び $I_{o2X}$ と $I_{o3}$ 及び $I_{o3X}$ がそれぞれ取り出される。

【0050】図5は、図4の可変遅延回路及び加重回路の構成を2回路用いてリング型の電圧制御発振回路及び

加重回路を構成した場合の構成図である。可変遅延回路VD1~VD4は、図4に示したように差動出力構成なので、最終段の可変遅延回路VD4から初段の可変遅延回路VD1への帰還には、図1に示したインバータ111は不要で、単に差動出力を入れ替えて帰還すればよい。

【0051】左側のブロック201において、図4におけるエミッタ共通差動NPNトランジスタ対Q3及びQ4による出力取り出し回路は加重回路W2に該当する。同様に、エミッタ共通差動NPNトランジスタ対Q9及びQ10による出力取り出し回路は加重回路W3に該当する。また、第2段目に備えられたもう1つの出力取り出し回路Q13及びQ14は、位相同期ループ（PLL）手段のループを構成するための比較出力として利用されている。

【0052】右側のブロック202において、図4におけるエミッタ共通差動NPNトランジスタ対Q3及びQ4による出力取り出し回路は加重回路W4に該当する。第2段目の備えられた2組の出力取り出し回路Q9及びQ10とQ11及びQ12は、それぞれ加重回路W1、W5として用いられる。加重回路W1及びW5の入力は、単に位相が反転しているのみである。そのため、出力 $I_{o3}$ 及び $I_{o3X}$ についてのみ他の出力と反転して内部画素クロックの出力端子PCLK2及びPCLK2Xに接続されている。

【0053】次に、制御信号発生回路102の具体的な回路構成について説明する。図6は制御信号発生回路102の具体的な回路構成図である。図6において、制御信号発生回路102は、4組のエミッタ共通差動NPNトランジスタ対P1及びP2、P3及びP4、P5及びP6、並びに、P7及びP8を備えている。各々のエミッタ共通差動NPNトランジスタ対の第1のトランジスタP1、P3、P5及びP7のベースには、高電位側の基準電圧 $V_H$ 及び低電位側の基準電圧 $V_L$ の2つの基準電圧を、3個の抵抗RD1、RD2及びRD3により等分割した電圧が供給されている。また、第2のトランジスタP2、P4、P6及びP8のベースには、位相制御電圧 $V_{cp}$ が印加されている。

【0054】第1番目のエミッタ共通差動NPNトランジスタ対の第1のトランジスタP1のコレクタから第1番目の加重係数信号出力 $I_{K1}$ が取り出され、第4番目のエミッタ共通差動NPNトランジスタ対の第2のトランジスタP8のコレクタから第5番目の加重係数信号出力 $I_{K5}$ が取り出され、第 $i$ 番目（ $i$ は1以上で、3以下）のエミッタ共通差動NPNトランジスタ対の第2のトランジスタP2、P4及びP6のコレクタが第 $i+1$ 番目のエミッタ共通差動NPNトランジスタ対の第1のトランジスタP3、P5及びP7のコレクタとそれぞれ接続され、該第 $i$ 番目のエミッタ共通差動NPNトランジスタ対の第2のトランジスタP2、P4及びP6のコ



レクタから第 $i+1$ 番目の加重係数信号出力 $IK2$ 、 $IK3$ 及び $IK4$ がそれぞれ取り出される。

【0055】ここで、2つの基準電位 $VL$ 及び $VH$ 間を3分割した電位差を $\Delta V$ とする。これにより、各エミッタ共通差動NPNトランジスタ対の第1のトランジスタと第2のトランジスタのコレクタ電流が交差するしきい値は電位差 $\Delta V$ ずつシフトする。各トランジスタのコレクタ電流を $IQ1 \sim IQ8$ とすると、それらは位相制御電圧 $V_{cp}$ に対して図7のような特性を示す。尚、図中の $I2$ は、各電流源 $JS1 \sim JS7$ により供給される電流である。

【0056】更に、図6の回路構成に示したように、トランジスタ $P2$ と $P3$ 、 $P4$ と $P5$ 、 $P6$ と $P7$ をそれぞれ結び、電流源による電流 $I2$ のオフセットを差し引くようにすると各加重係数信号 $IK1 \sim IK5$ に流れ込む電流は、図8に示すような特性となり、図1の構成例において図3の特性を持って説明したところの所望の特性が実現できることがわかる。例えば、トランジスタ $P2$ のコレクタ $IQ2$ とトランジスタ $P3$ のコレクタ電流 $IQ3$ は差動的に動くが、電位差 $\Delta V$ だけしきい値をずらすことにより、ほぼ電位差 $\Delta V$ の間だけ加重係数信号 $IK2$ を生成することができる。

【0057】次に、本実施形態の位相調整回路の変形例について説明する。上記説明した実施形態1では、可変遅延回路 $VD1 \sim VD4$ のある段より位相同期ループ(PLL)手段への比較出力を抽出し、各段の出力取り出し回路による重み付けをなし、合成した出力を第2の画素クロック $PCLK2$ として用いているが、これは取り替えても全くその機能に変わるところはない。

【0058】また実施形態1では、位相制御電圧 $V_{cp}$ による調整範囲を $0 \sim 180 [^\circ]$ とし、位相切り替え回路を併用して $0 \sim 360 [^\circ]$ の調整範囲を得るものであったが、 $0 \sim 360 [^\circ]$ の調整範囲を連続して得るように構成することもできる。図9にその原理を示す。 $v6 \sim v9$ の位相を持つ信号を備え、これに対して9出力を備える制御信号発生回路を用意すれば、 $0 \sim 360 [^\circ]$ の調整範囲を連続して得ることができる。 $v6 \sim v9$ の位相を持つ信号は、 $v1 \sim v4$ の信号を用いて簡単に作ることができる。但し、この構成では、 $0 \sim 360 [^\circ]$ が連続して得られるという特徴はあるものの、回路規模がそれなりに増加する。

【0059】また、実施形態1において、図4及び図5を用いて説明したリング型電圧制御発振回路は、エミッタ間に容量を配置した2組のエミッタフォロワによる可変遅延回路を4段用いたものであるが、最低3段あれば電圧制御発振回路はうまく発振動作をなす。即ち、可変遅延回路を3段とし、図2における信号の位相配置を $45 [^\circ]$ 刻みではなく $60 [^\circ]$ 刻みとすることにより、回路規模の削減を図ることができる。

【0060】〔位相調整回路の実施形態2〕また、可変

遅延回路段数をそのままに、図2における第1段の可変遅延回路の出力 $v2$ と第3段の可変遅延回路の出力 $v4$ の信号を間引き、 $90 [^\circ]$ 刻みの信号によって位相合成を行うこともできる。本発明の実施形態2に係る位相制御回路は、このことを実現した構成である。

【0061】図10は、実施形態2におけるリング型電圧制御発振回路を構成する可変遅延回路及び加重回路の回路構成図である。実施形態1(図4)におけるエミッタ共通差動NPNトランジスタ対 $Q3$ 及び $Q4$ による出力取り出し回路を削除した構成である。また、リング型電圧制御発振回路及び加重回路の全体構成は図11に示すようになる。即ち、エミッタ共通差動NPNトランジスタ対 $Q3$ 及び $Q4$ による出力取り出し回路の削除に伴い、制御信号発生回路が5個の出力から3個の出力となるため、図12のように簡略化することが可能となる。尚、図10、図11及び図12中において、図4、図5及び図6(実施形態1)と重複する部分には同一の符号を附して説明を省略する。

【0062】加重回路の段数が多いことの利点は、図3に示した各制御出力(加重係数信号 $K1 \sim K5$ )の互いのオーバーラップ特性が、制御特性の直線性や出力振幅に与える影響が小さいことである。しかしながら、それらは本質的な問題ではなく、オーバーラップ特性が注意深く設計されるならば、本実施形態のような $90 [^\circ]$ 刻みの位相配置でも、何ら問題のない特性を実現することが可能である。

【0063】次に、可変遅延回路の段数( $n$ :  $n$ は正整数)、並びに、電圧制御発振回路から取り出される概略等位相差信号数または加重係数信号数( $k$ :  $k$ は正整数)について一般化する。

【0064】連続調整範囲を $180 [^\circ]$ とした場合には、 $k=n+1$ の関係をもち、位相の刻みは $180/n [^\circ]$ 刻みで、第1番目の可変遅延回路の出力位相と第 $k$ 番目の可変遅延回路の出力位相は逆相となる。また、連続調整範囲を $360 [^\circ]$ とした場合には、 $k=2 \cdot n+1$ の関係をもち、位相の刻みは $360/n [^\circ]$ 刻みで、第1番目の可変遅延回路の出力位相と第 $k$ 番目の可変遅延回路の出力位相は同相となる。

【0065】以上のように、実施形態1及び実施形態2の位相調整回路では、リング型電圧制御発振回路( $VD1 \sim VD4$ )により複数の概略等位相差の信号 $v1 \sim v5$ を生成し、該概略等位相差信号 $v1 \sim v5$ に対して、外部位相制御信号 $V_{cp}$ により制御される加重係数信号 $K1 \sim K5$ を重み付けし、重み付けされた結果 $PCLK2$ によって位相調整することとしたので、画素クロック周波数によらず、調整感度及び調整範囲を一定に保つことができ、調整の直線性及び安定度を良好にすることが可能となる。

【0066】即ち、画素クロックに何ら関わりなく常に $0 \sim 360 [^\circ]$ の調整範囲を得ることができ、画素ク

ロックが広範囲で変化しても、従来技術のように可変遅延回路の必要段数が増加することもないので、特に、マルチスキャンディスプレイのように何種類かの表示モードに対応する場合等に最適である。また、本実施形態の位相調整回路及び制御信号発生回路では、制御特性の直線性が良い。これは、位相制御信号Vcpに対して、概略等間隔で最大係数を与えられ、その総和が概略一定であるよう途中区間を補間して加重係数信号K1~K5を生成しながらも、基本的には該加重係数信号K1~K5を切り替えているためである。また、本実施形態の位相調整回路では、遅延時間ではなく位相を制御するので、画素クロック周波数が変化しても、制御感度は変化しない、従って、直線性が良好なことで相まって、調整データをデジタルデータとして渡す場合に、分解能は最小で済むこととなる。更に、本実施形態の位相調整回路では、温度や電源電圧変動に対して安定である。これは、可変遅延回路の遅延時間が画素クロックの位相(外部クロックCLK1)に対応するように、位相同期ループ(PLL)手段によって自動調整されるからである。

【0067】(制御信号発生回路の実施形態)本発明に係る制御信号発生回路の実施形態は、上記位相調整回路の実施形態の説明で詳細の説明したように、例えば図6に示すような構成である。尚、本発明の制御信号発生回路は、特にLCDディスプレイの画素クロックの位相調整に限らず、アナログ的に補間しながら複数個の信号を選択する種々の用途に応用可能である。

【0068】また、図6に示した制御信号発生回路は、当該制御信号発生回路に吸い込む方向に制御電流IK1~IK5を発生するが、用途によっては、当該制御信号発生回路から流し出す方向の制御電流の方が都合が良い場合がある。図13は、当該制御信号発生回路から流し出す方向に制御電流IK1~IK5を発生する信号発生回路の回路構成図である。図中、図6(実施形態1)と重複する部分には同一の符号を附して説明を省略する。

【0069】図13における図6との相違点は、各エミッタ結合差動NPNトランジスタ対の第1及び第2のトランジスタT1及びT2、T3及びT4、T5及びT6、T7及びT8のベースに印加される電圧が逆になっていること、並びに、全ての制御信号出力IK1~IK5に電流I2を供給する電流源が接続されていることである。

【0070】即ち、図13において、k個(k=5)全ての制御信号出力IK1~IK5にそれぞれ接続されるk個の電流源KS0、KS2、KS4、KS6及びKS8を有し、k-1個のエミッタ共通差動NPNトランジスタ対それぞれについて、第1のトランジスタT1、T3、T5及びT7のベースに位相制御信号Vcpが供給され、第2のトランジスタT2、T4、T6及びT8のベースには、抵抗RV1、RV2及びRV3により第1の基準電位VH及び第2の基準電位VLをk-1個に概

略等分割した電圧が供給される。

【0071】

【発明の効果】以上説明したように、本発明の制御信号発生回路並びにそれを用いた位相調整回路によれば、電圧制御発振回路により複数の概略等位相差の信号を生成し、該概略等位相差信号に対して、外部位相制御信号により制御される加重係数信号を重み付けし、重み付けされた結果によって位相調整することとしたので、画素クロック周波数によらず、調整感度及び調整範囲を一定に保つことができ、調整の直線性及び安定度を良好にすることが可能となる。

【図面の簡単な説明】

【図1】本発明に係る位相調整回路の概略的な構成図である。

【図2】可変遅延回路の各段における出力の位相配置を説明する説明図である。

【図3】加重係数信号K1~K5の位相制御電圧Vcpに対する特性を示す説明図である。

【図4】実施形態1のリング型電圧制御発振回路を構成する可変遅延回路及び加重回路の回路構成図である。

【図5】図4の構成を2回路用いてリング型電圧制御発振回路及び加重回路を構成した場合の構成図である。

【図6】実施形態1の制御信号発生回路の具体的な回路構成図である。

【図7】制御信号発生回路における各トランジスタのコレクタ電流IQ1~IQ8の位相制御電圧Vcpに対する特性を示す説明図である。

【図8】電流源によるオフセットを差し引いた各加重係数信号IK1~IK5に流れ込む電流の位相制御電圧Vcpに対する特性を示す説明図である。

【図9】0~360[°]の調整範囲を連続して得る場合の可変遅延回路の各段における出力の位相配置を説明する説明図である。

【図10】実施形態2のリング型電圧制御発振回路を構成する可変遅延回路及び加重回路の回路構成図である。

【図11】図10の構成を2回路用いてリング型電圧制御発振回路及び加重回路を構成した場合の構成図である。

【図12】実施形態2の制御信号発生回路の具体的な回路構成図である。

【図13】当該制御信号発生回路から流し出す方向に制御電流IK1~IK5を発生する信号発生回路の回路構成図である。

【図14】パーソナルコンピュータからの表示出力データをLCDディスプレイに出力する場合のシステム(第1従来例)の構成図である。

【図15】パーソナルコンピュータからの表示出力データをLCDディスプレイに出力する場合のシステム(第2従来例)の構成図である。

【図16】第1従来例のシステムにおける各信号のタイ

ミングチャートである。

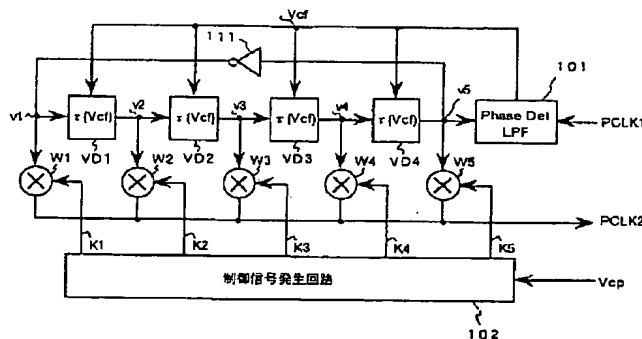
【図17】バイポーラトランジスタ回路による代表的な可変遅延回路の回路図である。

【符号の説明】

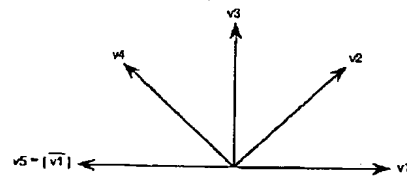
VD1～VD4…可変遅延回路、101…位相同期ループ手段、102…制御信号発生回路、W1～W5…加重回路、111…インバータ、PCLK1…外部画素クロック（外部クロック）、PCLK2…位相調整回路の出力（内部クロック）、Vcf…遅延制御信号、v1～v5…可変遅延回路の出力（概略等位相差の信号）、Vcp…位相制御電圧、Q1～Q14…NPNTランジスタ、C1、C2…容量素子、IS1～IS7…電流源、

R1～R4…抵抗、R11～R14…抵抗、Iw1～Iw3…加重電流、Io1～Io3、Io1X～Io3X…加重出力、Vcc…電源（電位）、GND…接地電位、IN、INX…前段からの可変遅延回路入力、OUT、OUTX…次段への可変遅延回路出力、P1～P8…NPNTランジスタ、JS1～JS7…電流源、RD1～RD3…抵抗、VH…高電位の基準電位（第1の基準電位）、VL…低電位の基準電位（第2の基準電位）、201、202、211、212…可変遅延回路及び加重回路のブロック、T1～T8…NPNTランジスタ、KS0～KS8…電流源、RV1～RV3…抵抗。

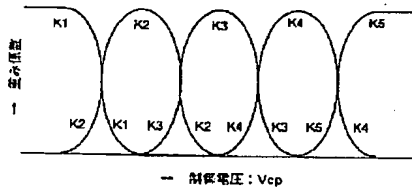
【図1】



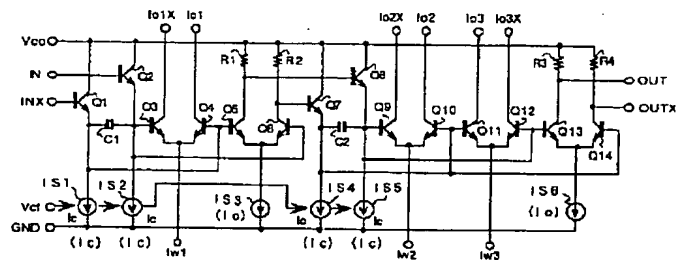
【図2】



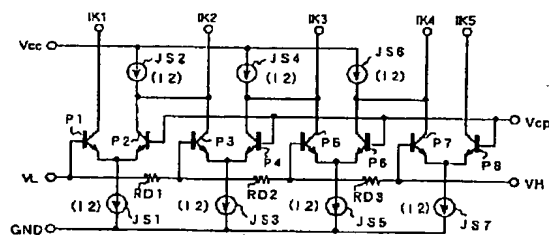
【図3】



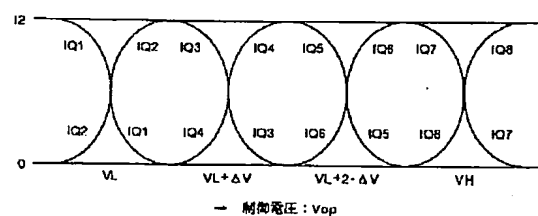
【図4】



【図6】

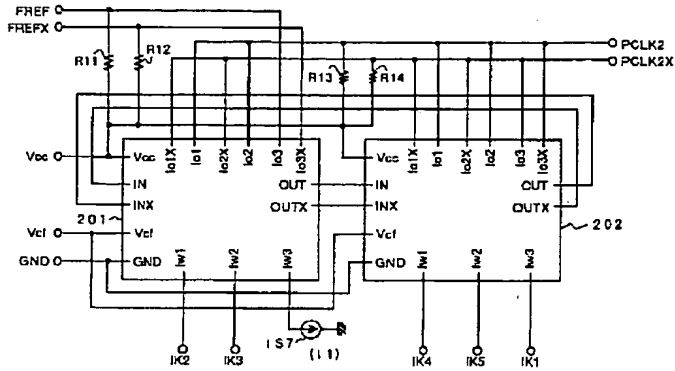


【図7】

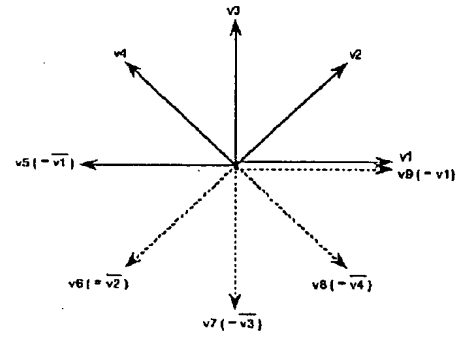


BEST AVAILABLE COPY

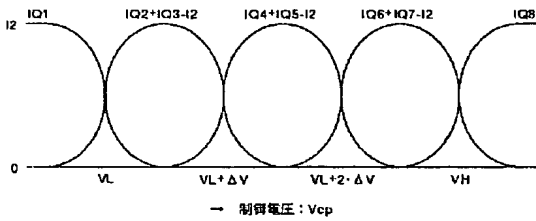
【図5】



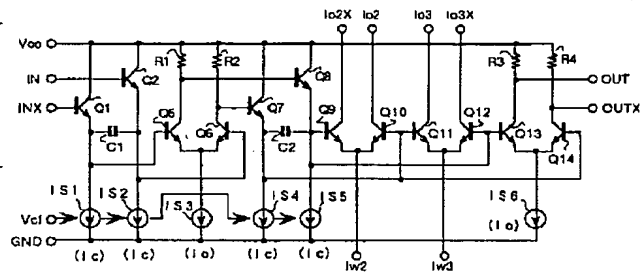
【図9】



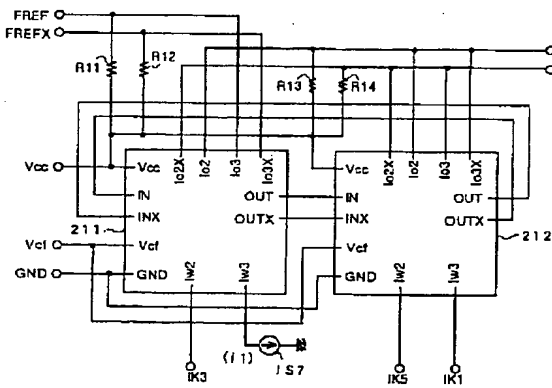
【図8】



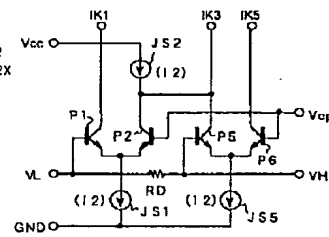
【図10】



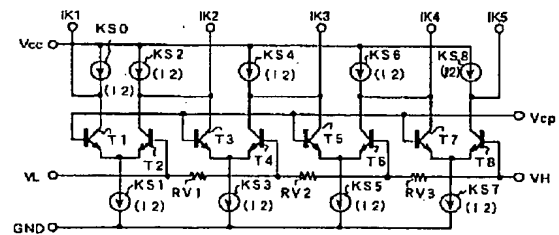
【図11】



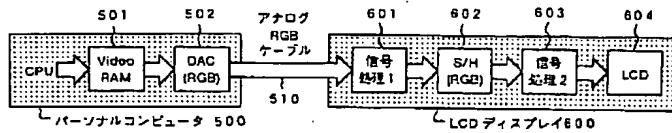
【図12】



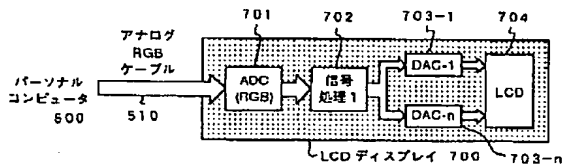
【図13】



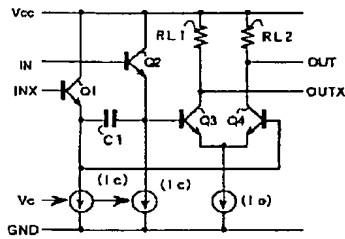
【図14】



【図15】



【図17】



【図16】

